

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-168555

(43)Date of publication of application : 16.06.1992

(51)Int.Cl.

G06F 13/28

(21)Application number : 02-295934

(71)Applicant : NEC ENG LTD

(22)Date of filing : 01.11.1990

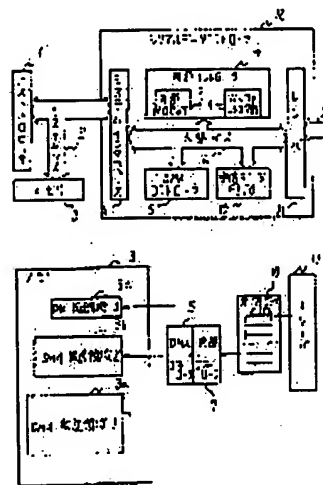
(72)Inventor : HIROMORI HIDESHI

## (54) DMA TRANSFER CONTROL SYSTEM FOR SERIAL DATA CONTROLLER

### (57)Abstract:

PURPOSE: To contrive the efficient use by dividing a DMA transfer area into different frame sizes and storing a transfer frame in an area whose size is the nearest.

CONSTITUTION: An internal processor 8 allows an FIFO 10 to store temporarily receiving data until the receiving data FIFO 10 becomes full or frame data is concluded. When the FIFO 10 becomes full, the processor 8 gives an instruction to a DMA controller 5 so that a transfer address is calculated by the head address of an area 3a set to a buffer register group 9 and a transfer area size to the DMA transfer area in which the maximum frame length is a unit and receiving data of the FIFO 10 is subjected to DMA transfer to a memory 3. When the FIFO 10 becomes full, the processor 8 gives an instruction to the DMA controller so that a DMA transfer address is calculated, based on the head address of the DMA transfer area set to the group 9 and a DMA transfer size to the area in which the maximum frame length is a unit and the receiving data of the FIFO 10 is subjected to DMA transfer to the memory 3. In such a way, the space managed by a host processor can efficiently be used.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑬ Int. Cl.

G 06 F 13/28

識別記号

3 1 0 L

庁内整理番号

7052-5B

⑭ 公開 平成4年(1992)6月16日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 シリアルデータコントローラのDMA転送制御方式

⑯ 特 願 平2-295934

⑰ 出 願 平2(1990)11月1日

⑱ 発 明 者 廣 森 秀 史 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑲ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

シリアルデータコントローラのDMA転送制御方式

特許請求の範囲

通信回線より可変長のシリアルフレームデータを受信するシリアルデータコントローラが前記可変長のシリアルフレームデータをホストプロセッサ管理のメモリ空間にDMAを用いて転送する場合におけるシリアルデータコントローラのDMA転送制御方式において、前記受信シリアルフレームデータをパラレルデータに変換するシリバラ変換手段と、前記シリバラ変換手段により変換されたパラレルデータを複数分一時記憶する一時記憶手段と、前記ホストプロセッサよりコマンドにより設定される複数のフレームサイズ基準値と前記フレームサイズ基準値毎に対応するDMA転送領域の先頭アドレスおよびDMA転送領域サイズを

格納するDMA制御データ記憶手段と、前記一時記憶手段に記憶された一フレーム分のパラレルデータのフレームサイズと前記DMA制御データ記憶手段における前記複数のフレームサイズ基準値を比較し前記パラレルデータのフレームサイズより大きくかつ前記パラレルデータのフレームサイズに一番近い前記フレームサイズ基準値を選択するフレーム比較手段と、前記フレーム比較手段により選択された前記フレームサイズ基準値に対応する前記DMA制御データ記憶手段に記憶されたDMA転送領域の先頭アドレスおよびDMA転送領域サイズに基づきDMA転送アドレスを算出し前記一時記憶手段に記憶された一フレーム分の前記パラレルデータを前記ホストメモリにDMA転送するDMA転送手段から構成されることを特徴とするシリアルデータコントローラのDMA転送制御方式。

発明の詳細な説明

(産業上の利用分野)

本発明は、シリアルデータコントローラにおけるDMA（ダイレクトメモリアクセス）転送制御方式に関する。

〔従来の技術〕

従来、シリアルデータコントローラにおけるホストメモリへのDMA転送においては、ホストプロセッサが管理するメモリ空間にDMA転送する最大長のフレームのサイズを単位としてDMA転送領域を確保していた。従って、フレームが可変長であっても、最大長のフレームのサイズを単位としてDMA転送領域を確保していた。

〔発明が解決しようとする課題〕

上述した従来のDMA転送方式では、転送フレームが小さくても、最大長のフレームのサイズを単位としてDMA転送領域を確保していたため、有効利用出来ない未使用のメモリ空間が多く存在する欠点があった。

〔課題を解決するための手段〕

本発明は、通信回線より可変長のシリアルフレームデータを受信するシリアルデータコント

ローラが前記可変長のシリアルフレームデータをホストプロセッサ管理のメモリ空間にDMAを用いて転送する場合におけるシリアルデータコントローラのDMA転送制御方式において、前記受信シリアルフレームデータをパラレルデータに変換するシリバラ変換手段と、前記シリバラ変換手段により変換されたパラレルデータを複数分一時記憶する一時記憶手段と、前記ホストプロセッサよりコマンドにより設定される複数のフレームサイズ基準値と前記フレームサイズ基準値毎に対応するDMA転送領域の先頭アドレスおよびDMA転送領域サイズを格納するDMA制御データ記憶手段と、前記一時記憶手段に記憶された一フレーム分のパラレルデータのフレームサイズと前記DMA制御データ記憶手段における前記複数のフレームサイズ基準値を比較し前記パラレルデータのフレームサイズより大きくかつ前記パラレルデータのフレームサイズに一番近い前記フレームサイズ基準値を選択するフレーム比較手段と、前記フレーム比較手段により選択された前記フレームサ

イズ基準値に対応する前記DMA制御データ記憶手段に記憶されたDMA転送領域の先頭アドレスおよびDMA転送領域サイズに基づきDMA転送アドレスを算出し前記一時記憶手段に記憶された一フレーム分の前記パラレルデータを前記ホストメモリにDMA転送するDMA転送手段より構成されている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。

第1図において、シリアルデータコントローラ12は内部コントローラ7を中心に内部バス6、システムインタフェース4、DMAコントローラ5、受信データFIFO10、レシーバ11から構成されている。内部コントローラ7は、内部プロセッサ8、バッファレジスタ群9から構成されている。

ホストプロセッサ1は、システムバス2を經由

してメモリ3を管理し、シリアルデータコントローラ12を制御している。

第2図はDMA転送におけるデータの流れを示す。ホストプロセッサ1は、メモリ3内のDMA転送領域、例えば3a～3cに示す転送領域の各々のフレームサイズ基準値と各々のDMA転送領域の先頭アドレスおよびDMA転送領域サイズを各々バッファレジスタ群9に登録する。この例では3aは最大長のフレーム長を単位としたエリア、3bは最大長の半分のフレーム長を単位としたエリア、3cは最大長の1/3のフレーム長を単位としたエリアである。尚バッファレジスタ群9の上記データは任意の値に設定可能である。

入力シリアルデータ13はレシーバ11において内部バス6のデータ幅でパラレルデータに変換され内部プロセッサ8により読み取られた後内部バス6経由で受信データFIFO10に蓄積され、さらに内部プロセッサ8の指示でDMAコントローラ5の制御の基にシステムインタフェース4、システムバス2を經由して適切なフレームサ

イズのDMA転送領域3a~3cへ転送される。

内部プロセッサ8は、受信データFIFO10が一杯かまたはフレームデータが途中で終結するまでパラレルデータを受信データFIFO10に一時記憶させる。

受信データFIFO10が一杯になった場合は、内部プロセッサ8はDMAコントローラ5に、最大長のフレーム長を単位としたDMA転送領域3aへ、バッファレジスタ群9に設定されたDMA転送領域の先頭アドレスおよびDMA転送領域サイズに基きDMA転送アドレスを算出してFIFO10の受信データ(パラレルデータ)をメモリ3にDMA転送するように指示する。

受信データFIFO10が一杯になる前にフレームが終結した場合は、内部プロセッサ8はDMAコントローラ5に、FIFO10の受信データ(パラレルデータ)とバッファレジスタ群9に設定されたメモリ3内のDMA転送領域、即ち3a~3cに示す転送領域の各々のフレームサイズ基準値と比較し受信データのフレームサイズより

大きくかつ受信データのフレームサイズに一番近いDMA転送領域のフレームサイズ基準値を選択し、選択されたフレームサイズ基準値に対応するバッファレジスタ群9に設定されたDMA転送領域の先頭アドレスおよびDMA転送領域サイズに基きDMA転送アドレスを算出してFIFO10の受信データ(パラレルデータ)をメモリ3にDMA転送するように指示する。

第3図は、可変長受信フレームA15a~フレームE15eと最大長のフレーム14を示している。

第5図は、従来のDMA転送方式の場合のDMA転送領域の構成を示すと同時に第3図の可変長受信フレームA15a~フレームE15eを受信した場合の格納状態を示している。

第4図は、本発明のDMA転送方式の場合のDMA転送領域の構成を示すと同時に第3図の可変長受信フレームA15a~フレームE15eを受信した場合の格納状態を示している。この例では16a~16cはDMA転送領域の3cに入り、

16d, 16eはDMA転送領域の3aに入る。

第4図と第5図を比較すると、第4図の本発明の方が空きエリアが小さくDMA転送領域を無駄なく使用しているのが容易に分かる。

(発明の効果)

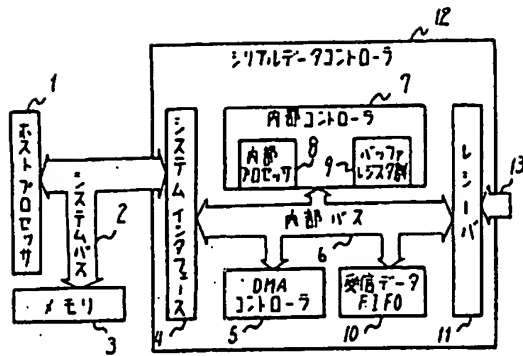
以上説明したように、本発明のによれば、DMA転送領域をいくつかのフレームサイズの異った転送領域に分け、転送フレームをそのフレームサイズが最も近い転送領域に格納できるようにしたことにより、より少ないメモリで可変長受信フレームを収容することが出来、ホストプロセッサが管理するメモリ空間の効率的利用を可能にする効果がある。

#### 図面の簡単な説明

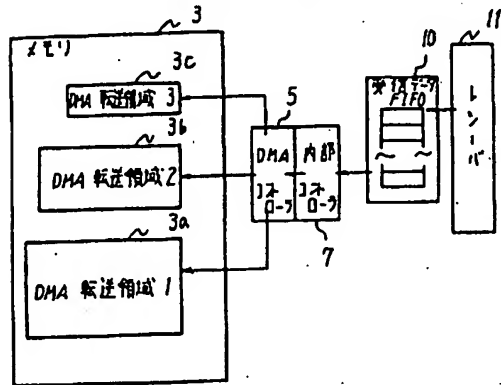
第1図は本発明の一実施例を示すブロック図、第2図はDMAデータ転送フロー図、第3図は受信フレーム図、第4図は本発明のDMA転送領域のフレーム格納図、第5図は従来のDMA転送領域のフレーム格納図である。

1…ホストプロセッサ、2…システムバス、3…メモリ、4…システムインタフェース、5…DMAコントローラ、6…内部バス、7…内部コントローラ、8…内部プロセッサ、9…バッファレジスタ群、10…受信データFIFO、11…レシーバ、12…シリアルデータコントローラ、13…入力シリアルデータ、14…最大長フレーム、15a~15b…可変長受信フレーム。

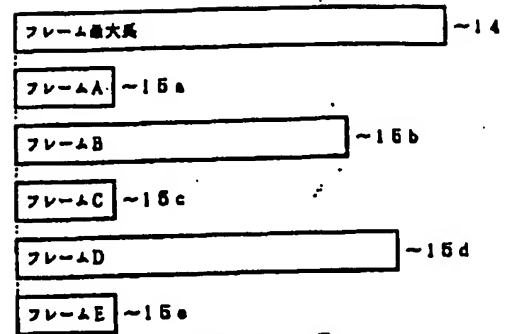
代理人 井理士 内 原 啓



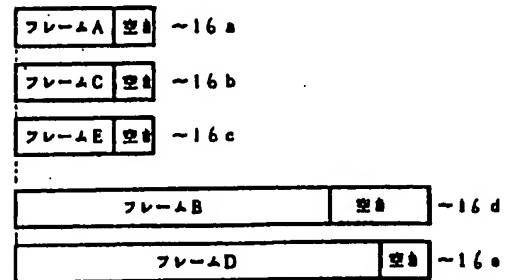
第 1 図



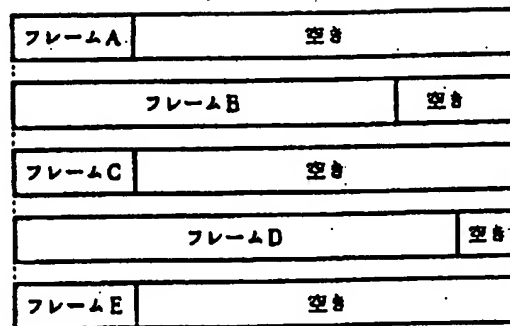
第 2 図



第 3 図



第 4 図



第 5 図